

特開平11-3157

(43) 公開日 平成11年(1999)1月6日

(51) Int. C.I. 6  
 G 06 F 3/00  
 H 03 K 19/0175

識別記号

F I

G 06 F 3/00 H  
 H 03 K 19/00 101 F

審査請求 未請求 請求項の数 6 OL (全 11 頁)

(21) 出願番号 特願平9-154101  
 (22) 出願日 平成9年(1997)6月11日

(71) 出願人 000006013  
 三菱電機株式会社  
 東京都千代田区丸の内二丁目2番3号

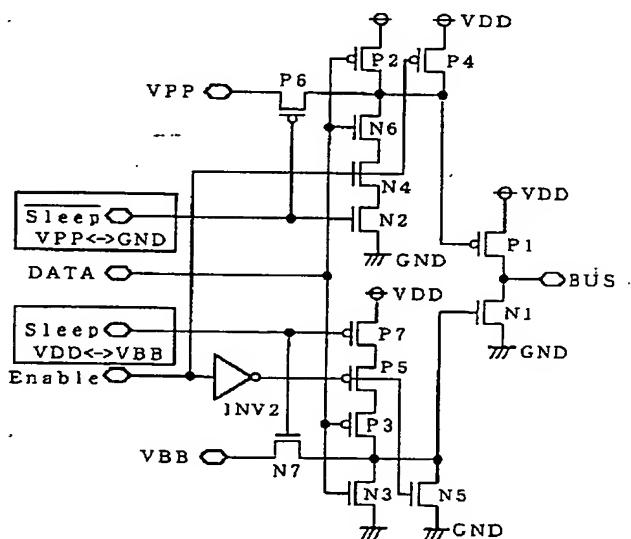
(72) 発明者 鈴木 弘明  
 東京都千代田区丸の内二丁目2番3号 三菱  
 電機株式会社内  
 牧野 博之  
 東京都千代田区丸の内二丁目2番3号 三菱  
 電機株式会社内  
 (74) 代理人 弁理士 田澤 博昭 (外1名)

## (54) 【発明の名称】バスドライバ回路

## (57) 【要約】

【課題】 ドライバトランジスタに電源側および接地側リーコカットスイッチを直列に接続しており、この直列接続によりバス駆動力が低下する。

【解決手段】 VPP<→GNDの否定スリーブ信号により制御されるpMOSトランジスタP6と、VDD<→VBのスリーブ信号により制御されるnMOSトランジスタN7と、データおよびイネーブル信号により制御される第1、第2のMOSトランジスタ群と、VDDに接続され、第1のMOSトランジスタ群の出力信号により制御されるドライバトランジスタP1と、第2のMOSトランジスタ群により制御されるドライバトランジスタN1とを備えた。



N2, N4, N6 : nMOSトランジスタ (第1のMOSトランジスタ群)  
 N3, N5 : nMOSトランジスタ (第2のMOSトランジスタ群)  
 N7 : nMOSトランジスタ (第2のMOSトランジスタ群)  
 P2, P4 : pMOSトランジスタ (第1のMOSトランジスタ群)  
 P3, P5, P7 : pMOSトランジスタ (第2のMOSトランジスタ群)  
 P6 : pMOSトランジスタ (第1のMOSトランジスタ)

## 【特許請求の範囲】

【請求項1】 電源よりも高い高電源に接続され且つその高電源からグランド間の振幅に応じた第1のスリーブ信号により制御される第1のMOSトランジスタと、グランドよりも低い低電源に接続され且つその低電源から上記電源間の振幅に応じた第2のスリーブ信号により制御される第2のMOSトランジスタと、上記電源に接続され且つデータおよびイネーブル信号により制御され、上記第1のMOSトランジスタと共に論理回路を構成する第1のMOSトランジスタ群と、上記電源に接続され且つデータおよびイネーブル信号により制御され、上記第2のMOSトランジスタと共に論理回路を構成する第2のMOSトランジスタ群と、上記電源に接続され且つ上記論理回路の出力信号により制御される第1のドライバトランジスタと、上記第1のドライバトランジスタに直列接続され且つ上記論理回路の出力信号により制御され、その第1のドライバトランジスタとの接続点において出力端が設けられた第2のドライバトランジスタとを備えたバスドライバ回路。

【請求項2】 第1のMOSトランジスタ群は、第3のMOSトランジスタを含み、第2のMOSトランジスタ群は、第4のMOSトランジスタを含み、それら第3および第4のMOSトランジスタは、高電源から低電源間の振幅に応じた第3および第4のスリーブ信号により制御されることを特徴とする請求項1記載のバスドライバ回路。

【請求項3】 スリーブ信号とイネーブル信号とを整合させ、スリーブ信号を省略したことを特徴とする請求項1または請求項2記載のバスドライバ回路。

【請求項4】 第1のMOSトランジスタ群と電源との間に第1のリークカットスイッチを接続すると共に、第2のMOSトランジスタ群と接地との間に第2のリークカットスイッチを接続し、その第1のリークカットスイッチは第4のスリーブ信号により制御されると共に、その第2のリークカットスイッチは第3のスリーブ信号により制御されることを特徴とする請求項2記載のバスドライバ回路。

【請求項5】 第1のMOSトランジスタ群と電源との間に第1のリークカットスイッチを接続すると共に、第2のMOSトランジスタ群と接地との間に第2のリークカットスイッチを接続し、その第1のリークカットスイッチは第1のスリーブ信号により制御されると共に、その第2のリークカットスイッチは第2のスリーブ信号により制御されることを特徴とする請求項2記載のバスドライバ回路。

【請求項6】 電源およびグランドよりも低い低電源に接続され且つデータ、イネーブル信号およびスリーブ信号により制御される論理回路と、上記電源に接続され且つ上記クロック信号により制御される第3のドライバトランジスタと、その第3のドライバトランジスタに直

列接続され且つ上記論理回路の出力信号により制御され、その第3のドライバトランジスタとの接続点において出力端が設けられた第4のドライバトランジスタとを備えたバスドライバ回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、低電圧のCMOS回路のリーク電流をカットする構成を有する半導体装置におけるバスドライバ回路に関するものである。

## 10 【0002】

【従来の技術】 図13は例えば特願平2-271574号に示された従来の半導体装置を示すブロック構成図であり、図において、VDDは電源電圧、GNDはVDDよりも小さい電源電圧であるグランド電圧(0V)、Q1、Q2はそれぞれpMOSトランジスタ、nMOSトランジスタである。VDDVはpMOSトランジスタQ1を介してVDDが印加された仮想電源線、GNDVはnMOSトランジスタQ2を介してGNDが印加された仮想グランド線、SLおよび-SLはそれぞれpMOS

## 20 トランジスタQ1、nMOSトランジスタQ2のゲート電極に供給されるスリーブ信号である。

【0003】 11はVDDV、GNDVの電圧を電源電圧としたトランジスタ回路で構成され、例えば図のようにNAND回路11aを含んだ論理回路部である。12は論理回路部11がアクティブ状態またはスタンバイ状態となることを示す制御信号S1、S2を生成する状態制御回路、13はVDDより高い電圧(以下、VPP)を発生する高電圧発生回路、14はGNDより低い電圧(以下、VBB)を発生する低電圧発生回路、15は入

## 30 力されるVPPとGNDとを制御信号S1に応じて選択的に出力する選択回路、16は入力されるVDDとVBBとを制御信号S2に応じて選択的に出力する選択回路である。

【0004】 次に動作について説明する。近年、低消費電力の観点からCMOSLSIの電源電圧が低下してきており、今後はこの傾向が一層強くなる。低電源電圧下でも性能を維持するためにはトランジスタのドレン電流を確保すると共に、閾値による損失を少なくする必要がある。即ち、電源電圧の低下に併せてMOSトランジスタの閾値電圧も小さくする必要がある。しかしながら、閾値電圧を下げるするとサブレッショホールド電流が増加するため、待機時のリーク電流が大きくなってしまう。そこで、このリーク電流をカットする方策として図13の回路構成が提案されている。

【0005】 図13において、状態制御回路12は、制御信号S1、S2を生成し、選択回路15は、その制御信号S1に応じて選択的にスリーブ信号SLであるVDDより高い電圧であるVPPとGNDとを出力する。また、選択回路16は、その制御信号S2に応じて選択的にスリーブ信号-SLであるVDDとGNDより低い電

## 50

圧であるV<sub>BB</sub>とを出力する。ここで、電源側リーカットスイッチのpMOSトランジスタQ1の場合は、スリープ信号S<sub>L</sub>が“L<sub>ow</sub>”の時は、pMOSトランジスタQ1がオンし、V<sub>DD</sub>から電荷が供給され論理回路部11は通常どおりに動作する。スリープ信号S<sub>L</sub>が“High”の時は、pMOSトランジスタQ1がオフし、論理回路部11は停止する。

【0006】この時、pMOSトランジスタQ1のゲート電極には、V<sub>PP</sub>>V<sub>DD</sub>なる高い電源電圧V<sub>PP</sub>が印加されるので、pMOSトランジスタQ1のリーカ電流はカットされる。サブレッショホールド電流は、ゲート電圧に比例して指数関数的に小さくなるので、dV = V<sub>PP</sub>-V<sub>DD</sub>の指數で効果が現れる。例えば、ディープサブミクロンプロセスでは、dVが0.1Vでリーカ電流は1桁小さくなるので、電源を数百mV動かすだけでリーカ電流を無視できるレベルまで下げることができる。

【0007】同様に接地側リーカットスイッチのnMOSトランジスタQ2の場合は、否定スリープ信号-S<sub>L</sub>が“High”の時は、nMOSトランジスタQ2がオンし、論理回路部11からGNDに電荷が流れ、論理回路部11は通常どおりに動作する。否定スリープ信号-S<sub>L</sub>が“Low”の時は、nMOSトランジスタQ2がオフし、論理回路部11は停止する。この時、nMOSトランジスタQ2のゲート電極には、V<sub>BB</sub><GNDなる低い電源電圧V<sub>BB</sub>が印加されるので、nMOSトランジスタQ2のリーカ電流はカットされる。この場合もサブレッショホールド電流は、ゲート電圧に比例して指数関数的に小さくなるので、dV=GND-V<sub>BB</sub>の指數で効果が現れる。

【0008】また、図14は図13の半導体装置をバスドライバ回路に応用した場合の回路図であり、図において、NAND3は否定論理積回路、NOR3は否定論理和回路、INV30は否定回路、17はそれらNAND3、NOR3およびINV30の電源線である。P31はV<sub>PP</sub><->GNDから成る振幅のスリープ信号によって動作する電源側リーカットスイッチとしてのpMOSトランジスタ、N31はV<sub>DD</sub><->V<sub>BB</sub>から成る振幅の否定スリープ信号によって動作する接地側リーカットスイッチとしてのnMOSトランジスタである。P30はNAND3にゲート電極が接続されたドライバトランジスタとしてのpMOSトランジスタ、N30はNOR3にゲート電極が接続されたドライバトランジスタとしてのnMOSトランジスタである。ここで、V<sub>PP</sub><->GNDとは、V<sub>DD</sub>よりも高いV<sub>PP</sub>からGNDの間の振幅を持たせることを意味し、また、V<sub>DD</sub><->V<sub>BB</sub>とは、V<sub>DD</sub>からGNDよりも低いV<sub>BB</sub>の間の振幅を持たせることを意味するものである。

【0009】図14において、ドライバトランジスタP30、N30の動作は、NAND3、NOR3および

NV30から成る回路で実現され、それらドライバトランジスタP30、N30に直列に電源側リーカットスイッチP31、接地側リーカットスイッチN31を接続する。スリープ信号が“L<sub>ow</sub>”、否定スリープ信号が“High”の時は、P31およびN31が共にオンし、回路は動作する。さらに、イネーブル信号が“High”的時は、NAND3およびNOR3の出力は共にDATAの反転になるので、出力端BUSにはDATAが出力される。また、イネーブル信号が“Low”的時は、NAND3の出力は“High”になってP30はオフし、NOR3の出力は“Low”になってN30もオフするので、出力端BUSはハイインピーダンスになる。いずれにしても、この時は、P31、P30、N30、N31からなるバスを介してリーカ電流が流れ、P31とN31はオンしているので、その値はP30、N30のオフ時のリーカ電流によって決まる。

【0010】一方、スリープ信号が“High”、否定スリープ信号が“Low”的時は、P31およびN31が共にオフして、回路は動作しなくなる。この時、P31はV<sub>PP</sub>なるソース電極よりも高い電圧に接続されるので、P31を流れるリーカ電流は無視できるほどに小さくなる。同様にN31はV<sub>BB</sub>なるソース電極よりも低い電圧に接続されるので、N31を流れるリーカ電流は無視できるほどに小さくなる。従って、P31、P30、N30、N31からなるバスを介したリーカ電流は、P31とN31によって制限されるので、無視できるほどのリーカ電流しか流れない。

【0011】また、図15は図1の半導体装置をバスドライバ回路に応用した場合の回路図であり、図において、P32はV<sub>PP</sub><->GNDから成る振幅のスリープ信号によって動作する電源側リーカットスイッチとしてのpMOSトランジスタ、N32はV<sub>DD</sub><->V<sub>BB</sub>から成る振幅の否定スリープ信号によって動作する接地側リーカットスイッチとしてのnMOSトランジスタである。P33は否定イネーブル信号によって動作するpMOSトランジスタ、N33はイネーブル信号によって動作するnMOSトランジスタ、P34、N34は否定DATAによって動作するドライバトランジスタとしてのpMOSトランジスタ、nMOSトランジスタである。

【0012】図15において、イネーブル信号が“Low”で、否定イネーブル信号が“High”的時は、P33とN33は共にオンするので、出力端BUSにはDATAが出力される。一方、イネーブル信号が“High”で、否定イネーブル信号が“Low”的時は、P33とN33は共にオフするので、出力端BUSはハイインピーダンスになる。他の動作は、図14と同様であり、P32、P33、P34、N34、N33、N32からなるバスを介したリーカ電流は、P32とN32によって制限されるので、無視できるほどのリーカ電流し

か流れない。

【0013】

【発明が解決しようとする課題】従来のバスドライバ回路は以上のように構成されているので、ドライバトランジスタに電源側および接地側リーカットスイッチを直列に接続しており、この直列接続によりバス駆動力が低下し、また、このバス駆動力の低下を補償するためにトランジスタサイズを大きくすると、バス配線の寄生容量が増え、動作時の消費電力が増大したり、ゲート容量が増え、リーカ電流制御のための電力オーバーヘッドが増大するなどの課題があった。

【0014】この発明は上記のような課題を解決するためになされたもので、ドライバトランジスタに電源側および接地側リーカットスイッチを直列に接続することなく、ドライバトランジスタのリーカ電流を抑制するバスドライバ回路を得ることを目的とする。

【0015】

【課題を解決するための手段】請求項1記載の発明に係るバスドライバ回路は、高電源に接続され、高電源からグランド間の振幅に応じた第1のスリープ信号により制御される第1のMOSトランジスタと、低電源に接続され、低電源から電源間の振幅に応じた第2のスリープ信号により制御される第2のMOSトランジスタと、電源に接続され、データおよびイネーブル信号により制御され、第1のMOSトランジスタと共に論理積回路を構成する第1のMOSトランジスタ群と、電源に接続され、データおよびイネーブル信号により制御され、第2のMOSトランジスタと共に論理積回路を構成する第2のMOSトランジスタ群と、電源に接続され、論理積回路の出力信号により制御される第1のドライバトランジスタと、第1のドライバトランジスタに直列接続され、論理積回路の出力信号により制御され、第1のドライバトランジスタとの接続点において出力端が設けられた第2のドライバトランジスタとを備えたものである。

【0016】請求項2記載の発明に係るバスドライバ回路は、第1のMOSトランジスタ群に第3のMOSトランジスタを含み、また、第2のMOSトランジスタ群に第4のMOSトランジスタを含み、それら第3および第4のMOSトランジスタは、高電源から低電源間の振幅に応じた第3および第4のスリープ信号により制御されるようにしたものである。

【0017】請求項3記載の発明に係るバスドライバ回路は、スリープ信号とイネーブル信号とを整合させ、スリープ信号を省略したものである。

【0018】請求項4記載の発明に係るバスドライバ回路は、第1のMOSトランジスタ群と電源との間に第1のリーカットスイッチを接続すると共に、第2のMOSトランジスタ群と接地との間に第2のリーカットスイッチを接続し、第1のリーカットスイッチは第4のスリープ信号により制御されると共に、第2のリーカ

ツトスイッチは第3のスリープ信号により制御されるようとしたものである。

【0019】請求項5記載の発明に係るバスドライバ回路は、第1のMOSトランジスタ群と電源との間に第1のリーカットスイッチを接続すると共に、第2のMOSトランジスタ群と接地との間に第2のリーカットスイッチを接続し、第1のリーカットスイッチは第1のスリープ信号により制御されると共に、第2のリーカットスイッチは第2のスリープ信号により制御されるようとしたものである。

【0020】請求項6記載の発明に係るバスドライバ回路は、電源およびグランドよりも低い低電源に接続され、データ、イネーブル信号およびスリープ信号により制御される論理回路と、電源に接続され、クロック信号により制御される第3のドライバトランジスタと、第3のドライバトランジスタに直列接続され、論理回路の出力信号により制御され、第3のドライバトランジスタとの接続点において出力端が設けられた第4のドライバトランジスタとを備えたものである。

【0021】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1はこの発明の実施の形態1による半導体装置を示すブロック構成図であり、図において、VDDは電源電圧、GNDはVDDよりも小さい電源電圧であるグランド電圧(0V)、SLおよび-SLはそれぞれバスドライバ回路21に供給されるスリープ信号である。21はトランジスタ回路で構成されたバスドライバ回路、12はバスドライバ回路21がアクティブ状態またはスタンバイ状態となることを示す制御信号S1、S2を生成する状態制御回路、13はVDDより高い電圧(以下、VPP)を発生する高電圧発生回路、14はGNDより低い電圧(以下、VBB)を発生する低電圧発生回路、15は入力されるVPPとGNDとを制御信号S1に応じて選択的に出力する選択回路、16は入力されるVDDとVBBとを制御信号S2に応じて選択的に出力する選択回路である。

【0022】また、図2はこの発明の実施の形態1によるバスドライバ回路を示す回路図であり、図において、

40 N AND1は否定論理積回路(論理積回路)、NOR1は否定論理和回路(論理和回路)、INV1は否定回路、22はそれらNAND1、NOR1およびINV1の電源線であり、この電源線22には、VDDより高い電圧であるVPPと、GNDより低い電圧であるVBBが供給されるものである。P1はNAND1にゲート電極が接続された第1のドライバトランジスタとしてのnMOSトランジスタ、N1はNOR1にゲート電極が接続された第2のドライバトランジスタとしてのpMOSトランジスタである。これらドライバトランジスタP1、N1から成る直列回路は、VDDとGND間に接続

50 1、N1から成る直列回路は、VDDとGND間に接続

され、ドライバトランジスタP1, N1間には出力端BUSが設けられている。

【0023】さらに、図3はこの発明の実施の形態1によるバスドライバ回路の詳細を示す回路図であり、図において、P2, P4, P6はpMOSトランジスタ、N2, N4, N6はnMOSトランジスタであり、これらトランジスタによりNAND1を構成している。ここで、pMOSトランジスタP6を第1のMOSトランジスタ、それ以外のMOSトランジスタP2, P4, N2, N4, N6を第1のMOSトランジスタ群とする。また、P3, P5, P7はpMOSトランジスタ、N3, N5, N7はnMOSトランジスタであり、これらトランジスタによりNOR1を構成している。ここで、nMOSトランジスタN7を第2のMOSトランジスタ、それ以外のMOSトランジスタP3, P5, P7, N3, N5を第2のMOSトランジスタ群とする。なお、否定スリーブ信号（第1のスリーブ信号）は、VPP<→GNDから成る振幅、スリーブ信号（第2のスリーブ信号）は、VDD<→VBBから成る振幅によって与えられる。ここで、VPP<→GNDとは、VDDよりも高いVPPからGNDの間の振幅を持たせることを意味し、また、VDD<→VBBとは、VDDからGNDよりも低いVBBの間の振幅を持たせることを意味するものである。

【0024】次に動作について説明する。図1において、状態制御回路12は、制御信号S1, S2を生成し、選択回路15は、その制御信号S1に応じて選択的にスリーブ信号SLであるVDDより高い電圧であるVPPとGNDとを出力する。また、選択回路16は、その制御信号S2に応じて選択的にスリーブ信号—SLであるVDDとGNDより低い電圧であるVBBとを出力する。図3において、否定スリーブ信号が“High”で、スリーブ信号が“Low”の時は、N2, P7がオン、P6, N7がオフする。ここで、イネーブル信号を“High”にすれば、P4, N5がオフ、N4, P5がオンして、DATAに応じてP2, N6およびP3, N3がオンオフして、ドライバトランジスタP1, N1の動作に応じて出力端BUSにはDATAが出力される。

【0025】また、否定スリーブ信号が“Low”で、スリーブ信号が“High”的時は、N2, P7がオフ、P6, N7がオンする。従って、ドライバトランジスタP1のゲート電極には、VPPなるソース電極に印加される電圧VDDよりも高い電圧に接続されるので、P1を流れるリーク電流は無視できるほどに小さくなる。同様にドライバトランジスタN1のゲート電極には、VBBなるソース電極に印加される電圧GNDよりも低い電圧に接続されるので、N1を流れるリーク電流は無視できるほどに小さくなる。

【0026】以上のように、この実施の形態1によれ

ば、ドライバトランジスタP1, N1に電源側および接地側リークカットスイッチを直列に接続することなく、ドライバトランジスタP1, N1のリーク電流を抑制することができ、また、P6, N7以外は、低い電源電圧VDD-GNDで動作するので、消費電力を抑えることができる。

【0027】実施の形態2、図4はこの発明の実施の形態2によるバスドライバ回路の詳細を示す回路図であり、図において、否定スリーブ信号（第3のスリーブ信号）およびスリーブ信号（第4のスリーブ信号）としてVPP<→VBBから成る振幅を与えたものである。なお、N8を第3のMOSトランジスタ、P9を第4のMOSトランジスタとする。その他の構成は、図3と同一なのでその重複する説明を省略する。

【0028】次に動作について説明する。上記実施の形態1における図3では、否定スリーブ信号が“Low”で、スリーブ信号が“High”的時は、N2, P7がオフ、P6, N7がオンし、ドライバトランジスタP1のゲート電極には、VPPが印加され、また、ドライバトランジスタN1のゲート電極には、VBBが印加される。従って、P6, N6, N4, N2を介して、また、P7, P5, P3, N3を介して、リーク電流が流れてしまう。そこで、否定スリーブ信号およびスリーブ信号としてVPP<→VBBから成る振幅を与えることにより、N8, P9のゲート電極を逆バイアスし、そのリーク電流を無視できる程度にすることができる。

【0029】以上のように、この実施の形態2によれば、否定スリーブ信号およびスリーブ信号としてVPP<→VBBから成る振幅を与えることにより、N8, P9のゲート電極を逆バイアスし、そのリーク電流を無視できる程度にすることができる、さらに、消費電力を抑えることができる。

【0030】実施の形態3、図5はこの発明の実施の形態3によるバスドライバ回路を示す回路図であり、図2におけるバスドライバ回路のスリーブ時には必ずイネーブル信号が“Low”になるように制御論理を工夫し、スリーブ信号および否定スリーブ信号を省略したものである。また、図6はこの発明の実施の形態3によるバスドライバ回路の詳細を示す回路図であり、図において、P21はVPP<→VBBから成る振幅のイネーブル信号によって動作する電源側リークカットスイッチとしてのpMOSトランジスタ、N21はVPP<→VBBから成る振幅の否定イネーブル信号によって動作する接地側リークカットスイッチとしてのnMOSトランジスタ、P22, N22はDATAによって動作するドライバトランジスタとしてのpMOSトランジスタ、nMOSトランジスタである。

【0031】次に動作について説明する。図5のように、図2におけるバスドライバ回路のスリーブ時には必ずイネーブル信号が“Low”になるように制御論理を

50

工夫すれば、スリーブ信号および否定スリーブ信号を省略することができる。また、図6は図14に基づいて同様に制御論理を工夫したものであり、イネーブル信号および否定イネーブル信号をVPP<→VBBから成る振幅で動作させることにより、P21, N21をリークカットトランジスタとして動作させることができ、スリーブ信号、否定スリーブ信号およびP32, N32を省略することができる。

【0032】以上のように、この実施の形態3によれば、バスドライバ回路のスリーブ時には必ずイネーブル信号が“L<sub>o</sub>w”になるように制御論理を工夫することにより、スリーブ信号、否定スリーブ信号およびMOSトランジスタを省略でき、寄生容量をさらに小さくでき、低消費電力にできる。

【0033】実施の形態4、図7はこの発明の実施の形態4によるバスドライバ回路の詳細を示す回路図であり、図4におけるバスドライバ回路のスリーブ時には必ずイネーブル信号が“L<sub>o</sub>w”になるように制御論理を工夫し、スリーブ信号および否定スリーブ信号を省略したものである。図において、P10, N10はVPP<→VBBから成る振幅のイネーブル信号によって動作するpMOSトランジスタ、nMOSトランジスタ、P11, N11はINV5を介した、即ち、否定イネーブル信号によって動作するpMOSトランジスタ、nMOSトランジスタである。

【0034】次に動作について説明する。図7のようには、図4におけるバスドライバ回路のスリーブ時には必ずイネーブル信号が“L<sub>o</sub>w”になるように制御論理を工夫すれば、スリーブ信号、否定スリーブ信号およびP4, N4, P5, N5を省略することができる。

【0035】以上のように、この実施の形態4によれば、バスドライバ回路のスリーブ時には必ずイネーブル信号が“L<sub>o</sub>w”になるように制御論理を工夫することにより、スリーブ信号、否定スリーブ信号およびMOSトランジスタを省略でき、寄生容量をさらに小さくでき、低消費電力にできる。また、実施の形態3に比較して、P10, N11以外は、VDD-GNDで動作するので、低消費電力にできる。

【0036】実施の形態5、図8はこの発明の実施の形態5によるバスドライバ回路の詳細を示す回路図であり、図4におけるバスドライバ回路において、VDD側に第1のリークカットスイッチとしてのpMOSトランジスタP18を、また、GND側に第2のリークカットスイッチとしてのnMOSトランジスタN18を接続したものである。なお、P18およびN18は、VPP<→VBBから成る振幅のスリーブ信号および否定スリーブ信号によって動作するものである。

【0037】次に動作について説明する。P18は、VPP<→VBBから成る振幅のスリーブ信号によって動作するので、待機時のリーク電流がカットされる。ま

た、nMOSトランジスタ側のリーク電流については、N12でカットされるので、新たにMOSトランジスタを追加する必要はない。また、N18は、VPP<→VBBから成る振幅の否定スリーブ信号によって動作するので、待機時のリーク電流がカットされる。

【0038】以上のように、この実施の形態5によれば、実施の形態2と比較して、DATA信号の“High”, “Low”に関わらずリーク電流をカットすることができる。

10 【0039】実施の形態6、図9はこの発明の実施の形態6によるバスドライバ回路の詳細を示す回路図であり、図8におけるバスドライバ回路において、VDD側の第1のリークカットスイッチとしてのpMOSトランジスタP19のスリーブ信号に、VPP<→GNDから成る振幅を、GND側の第2のリークカットスイッチとしてのnMOSトランジスタN19の否定スリーブ信号に、VDD<→VBBから成る振幅を供給し、また、P16, N16の否定スリーブ信号に、VPP<→GNDから成る振幅を、P17, N17のスリーブ信号に、VDD<→VBBから成る振幅を供給したものである。また、図10はこの発明の実施の形態6によるバスドライバ回路の詳細を示す回路図であり、図6におけるバスドライバ回路において、否定イネーブル信号にVPP<→GNDから成る振幅を、イネーブル信号にVDD<→VBBから成る振幅を供給したものである。

【0040】以上のように、この実施の形態6によれば、実施の形態3および実施の形態5と比較して、MOSトランジスタのゲート電極に供給される電圧がVPP<→VBBからVPP<→GNDまたはVDD<→VBBに軽減されるので、半導体装置によって構成する場合におけるゲート酸化膜に印加される電圧が小さくて済み、ゲート酸化膜の負担が小さくなつて信頼性が向上する。

【0041】実施の形態7、図11はこの発明の実施の形態7によるバスドライバ回路の詳細を示す回路図であり、図7におけるバスドライバ回路において、VDD側に第1のリークカットスイッチとしてのpMOSトランジスタP20を、また、GND側に第2のリークカットスイッチとしてのnMOSトランジスタN20を接続したものである。なお、P20およびN20は、VPP<→VBBから成る振幅のイネーブル信号および否定イネーブル信号によって動作するものである。

【0042】次に動作について説明する。P20は、VPP<→VBBから成る振幅のイネーブル信号によって動作するので、待機時のリーク電流がカットされる。また、nMOSトランジスタ側のリーク電流については、N12でカットされるので、新たにMOSトランジスタを追加する必要はない。また、N20は、VPP<→VBBから成る振幅の否定イネーブル信号によって

動作するので、待機時のリーク電流がカットされる。

【0043】以上のように、この実施の形態7によれば、実施の形態4と比較して、DATA信号の“High”, “Low”に関わらずリーク電流をカットすることができる。また、実施の形態6と比較して、少ないMOSトランジスタで構成でき、構成を簡単にすることができます。

【0044】実施の形態8、図12はこの発明の実施の形態8によるバスドライバ回路の詳細を示す回路図であり、この実施の形態8は、上記実施の形態1の発明をプリチャージバスの回路に適用したものであり、pMOSトランジスタ（第3のドライバトランジスタ）P1のゲート電極をCLK（クロック信号）でプリチャージし、nMOSトランジスタ（第4のドライバトランジスタ）N1側のみにリークカット回路機構を設けたものである。その他、上記実施の形態2から7の発明についても全く同様な回路変更でプリチャージバスの回路に変更することができる。

【0045】以上のように、この実施の形態8によれば、リーク電流が大きくなると、プリチャージバスのようなダイナミック回路は、動作の安定性が悪くなってしまうが、この発明をプリチャージバスに適用した場合、リーク電流によるダイナミックノードの電位低下が抑制されるので、ダイナミック動作の安定性が向上する。

【0046】上記実施の形態1から実施の形態8では、バスドライバ回路について説明したが、出力の負荷容量が大きくて、出力の状態がハイ・インピーダンスになるような全ての回路に対して、これら発明を適用することができる。そしていずれの場合も、ドライバトランジスタと直列にリークスイッチトランジスタを接続することによる問題点を回避できる。

#### 【0047】

【発明の効果】以上のように、請求項1記載の発明によれば、高電源に接続され、高電源からグランド間の振幅に応じた第1のスリープ信号により制御される第1のMOSトランジスタと、低電源に接続され、低電源から電源間の振幅に応じた第2のスリープ信号により制御される第2のMOSトランジスタと、電源に接続され、データおよびイネーブル信号により制御され、第1のMOSトランジスタと共に論理積回路を構成する第1のMOSトランジスタ群と、電源に接続され、データおよびイネーブル信号により制御され、第2のMOSトランジスタと共に論理和回路を構成する第2のMOSトランジスタ群と、電源に接続され、論理積回路の出力信号により制御される第1のドライバトランジスタと、第1のドライバトランジスタに直列接続され、論理和回路の出力信号により制御され、第1のドライバトランジスタとの接続点において出力端が設けられた第2のドライバトランジスタとを備えるように構成したので、第1、第2のドライバトランジスタに電源側および接地側リークカットス

イッチを直列に接続することなく、第1、第2のドライバトランジスタのリーク電流を抑制することができ、また、第1、第2のMOSトランジスタ群は、高電源よりも低い電源で動作するので、消費電力を抑えることができる効果がある。

【0048】請求項2記載の発明によれば、第1のMOSトランジスタ群に第3のMOSトランジスタを含み、また、第2のMOSトランジスタ群に第4のMOSトランジスタを含み、それら第3および第4のMOSトランジスタは、高電源から低電源間の振幅に応じた第3および第4のスリープ信号により制御されるように構成したので、第3のスリープ信号および第4のスリープ信号として高電源から低電源間の振幅を与えることにより、第3および第4のMOSトランジスタを逆バイアスし、そのリーク電流を抑えることができると共に、消費電力を抑えることができる効果がある。

【0049】請求項3記載の発明によれば、スリープ信号とイネーブル信号とを整合させ、スリープ信号を省略するように構成したので、スリープ信号およびMOSトランジスタを省略でき、寄生容量をさらに小さくでき、低消費電力にできる効果がある。

【0050】請求項4記載の発明によれば、第1のMOSトランジスタ群と電源との間に第1のリークカットスイッチを接続すると共に、第2のMOSトランジスタ群と接地との間に第2のリークカットスイッチを接続し、第1のリークカットスイッチは第4のスリープ信号により制御されると共に、第2のリークカットスイッチは第3のスリープ信号により制御されるように構成したので、データに関わらずリーク電流を抑えることができる効果がある。

【0051】請求項5記載の発明によれば、第1のMOSトランジスタ群と電源との間に第1のリークカットスイッチを接続すると共に、第2のMOSトランジスタ群と接地との間に第2のリークカットスイッチを接続し、第1のリークカットスイッチは第1のスリープ信号により制御されると共に、第2のリークカットスイッチは第2のスリープ信号により制御されるように構成したので、第1、第2のMOSトランジスタ群に供給される電圧が、高電源からグランド間の振幅に応じた第1のスリープ信号、および低電源から電源間の振幅に応じた第2のスリープ信号に軽減され、半導体装置によって構成する場合におけるゲート酸化膜に印加される電圧が小さく済み、ゲート酸化膜の負担が小さくなつて信頼性が向上する効果がある。

【0052】請求項6記載の発明によれば、電源およびグランドよりも低い電源に接続され、データ、イネーブル信号およびスリープ信号により制御される論理和回路と、電源に接続され、クロック信号により制御される第3のドライバトランジスタと、第3のドライバトランジスタに直列接続され、論理和回路の出力信号により制

御され、第3のドライバトランジスタとの接続点において出力端が設けられた第4のドライバトランジスタを備えるように構成したので、リーク電流によるダイナミックノードの電位低下が抑制され、ダイナミック動作の安定性が向上したプリチャージバスが得られる効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による半導体装置を示すブロック構成図である。

【図2】 この発明の実施の形態1によるバスドライバ回路を示す回路図である。

【図3】 この発明の実施の形態1によるバスドライバ回路の詳細を示す回路図である。

【図4】 この発明の実施の形態2によるバスドライバ回路の詳細を示す回路図である。

【図5】 この発明の実施の形態3によるバスドライバ回路を示す回路図である。

【図6】 この発明の実施の形態3によるバスドライバ回路の詳細を示す回路図である。

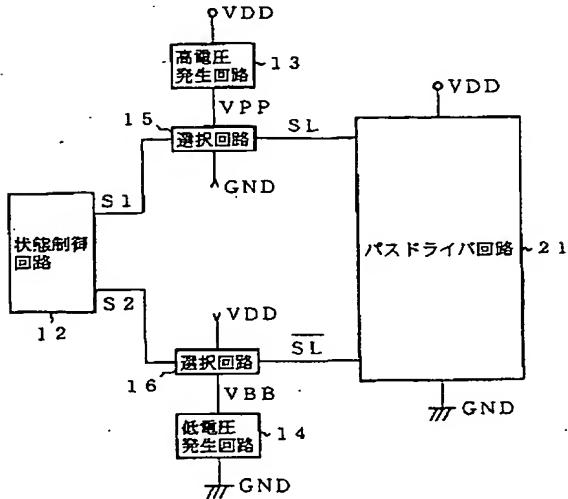
【図7】 この発明の実施の形態4によるバスドライバ回路の詳細を示す回路図である。

【図8】 この発明の実施の形態5によるバスドライバ回路の詳細を示す回路図である。

【図9】 この発明の実施の形態6によるバスドライバ回路の詳細を示す回路図である。

【図10】 この発明の実施の形態6によるバスドライバ回路の詳細を示す回路図である。

【図1】



【図11】 この発明の実施の形態7によるバスドライバ回路の詳細を示す回路図である。

【図12】 この発明の実施の形態8によるバスドライバ回路の詳細を示す回路図である。

【図13】 従来の半導体装置を示すブロック構成図である。

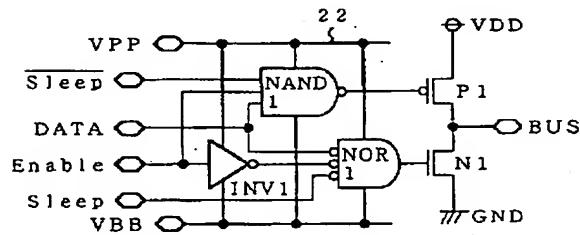
【図14】 図13の半導体装置をバスドライバ回路に応用した場合の回路図である。

【図15】 図13の半導体装置をバスドライバ回路に応用した場合の回路図である。

【符号の説明】

NAND 1 否定論理積回路（論理積回路）、NOR 1 否定論理和回路（論理和回路）、P 1 pMOSトランジスタ（第1のドライバトランジスタ、第3のドライバトランジスタ）、N 1 nMOSトランジスタ（第2のドライバトランジスタ、第4のドライバトランジスタ）、P 6 pMOSトランジスタ（第1のMOSトランジスタ）、P 2, P 4 pMOSトランジスタ（第1のMOSトランジスタ群）、N 2, N 4, N 6 nMOSトランジスタ（第1のMOSトランジスタ群）、N 7 nMOSトランジスタ（第2のMOSトランジスタ）、P 3, P 5, P 7 pMOSトランジスタ（第2のMOSトランジスタ群）、N 3, N 5 nMOSトランジスタ（第2のMOSトランジスタ群）、P 1-8, P 20 pMOSトランジスタ（第1のリークカットスイッチ）、N 18, N 20 nMOSトランジスタ（第2のリークカットスイッチ）。

【図2】



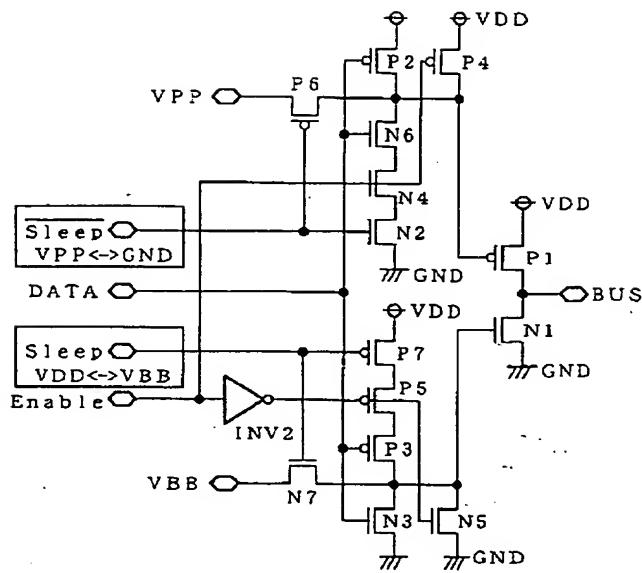
NAND 1 : 否定論理積回路（論理積回路）

NOR 1 : 否定論理和回路（論理和回路）

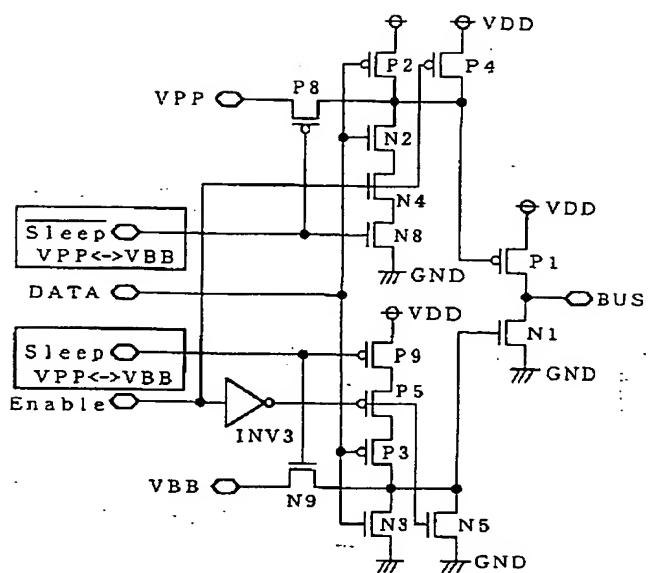
N 1 : nMOSトランジスタ（第2のドライバトランジスタ）

P 1 : pMOSトランジスタ（第1のドライバトランジスタ）

【図3】

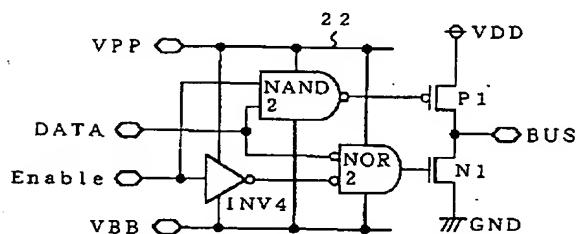


【図4】

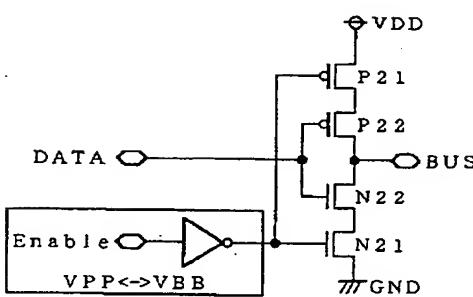


N<sub>2</sub>, N<sub>4</sub>, N<sub>6</sub>: nMOSトランジスタ(第1のMOSトランジスタ群)  
 N<sub>3</sub>, N<sub>5</sub>: nMOSトランジスタ(第2のMOSトランジスタ群)  
 N<sub>7</sub>: nMOSトランジスタ(第2のMOSトランジスタ群)  
 P<sub>2</sub>, P<sub>4</sub>: pMOSトランジスタ(第1のMOSトランジスタ群)  
 P<sub>3</sub>, P<sub>5</sub>, P<sub>7</sub>: pMOSトランジスタ(第2のMOSトランジスタ群)  
 P<sub>6</sub>: pMOSトランジスタ(第1のMOSトランジスタ)

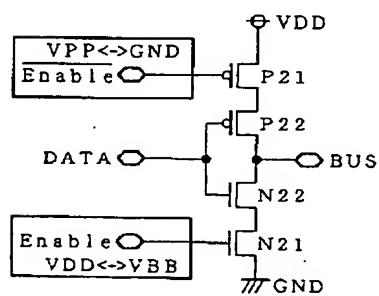
【図5】



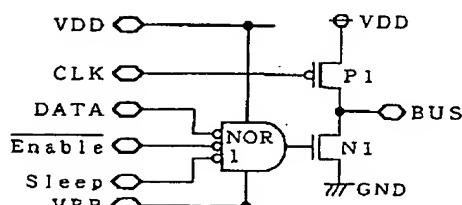
【図6】



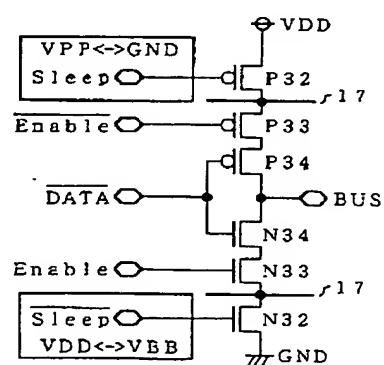
【図10】



【図12】

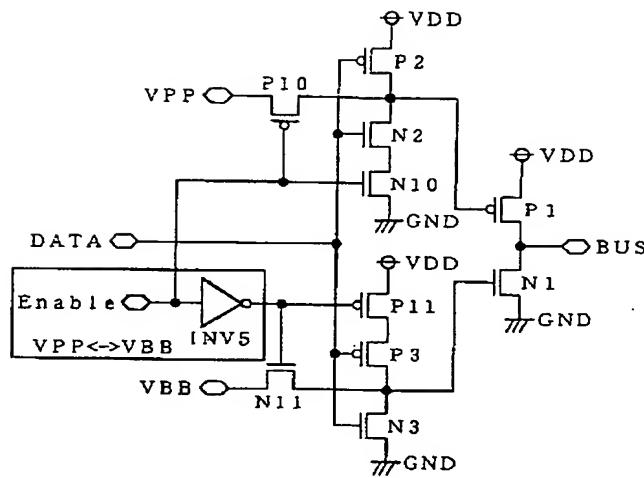


【図15】

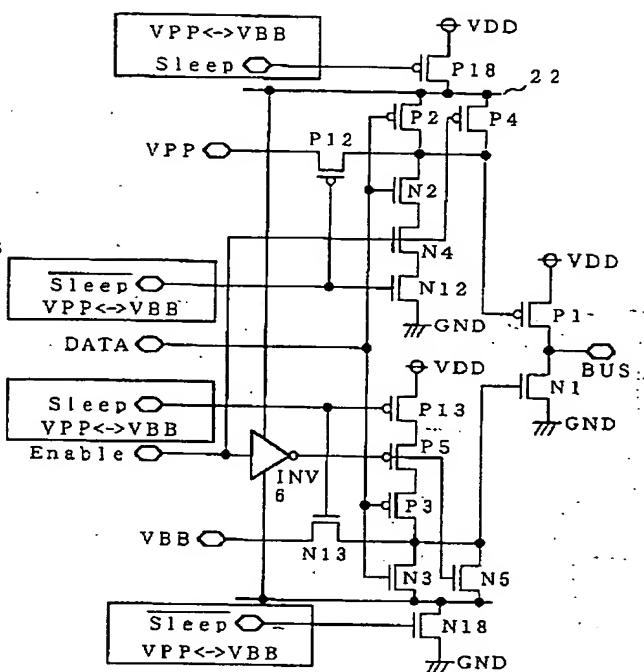


N<sub>1</sub>: nMOSトランジスタ(第4のドライバトランジスタ)  
 P<sub>1</sub>: pMOSトランジスタ(第3のドライバトランジスタ)

【図7】

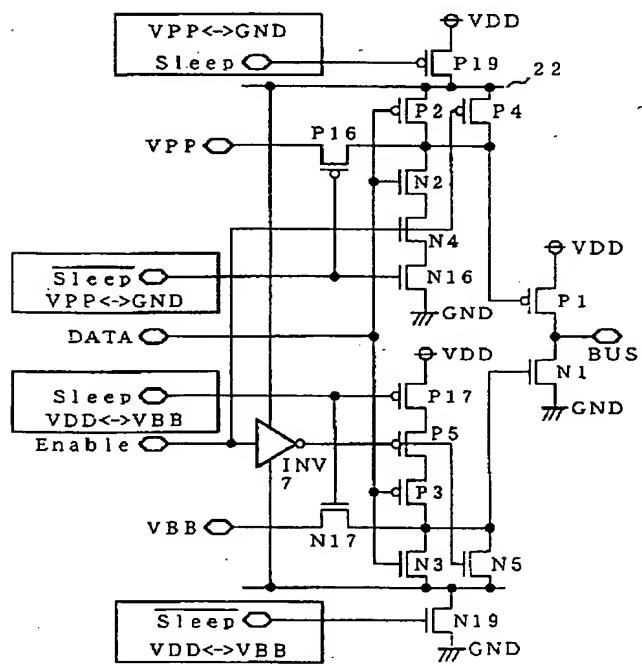


【図8】

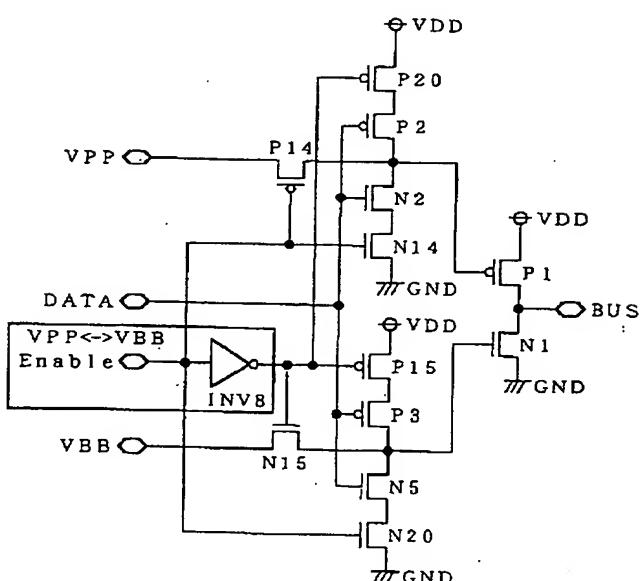


N18 : nMOSトランジスタ (第2のリーカットスイッチ)  
P18 : pMOSトランジスタ (第1のリーカットスイッチ)

【図9】



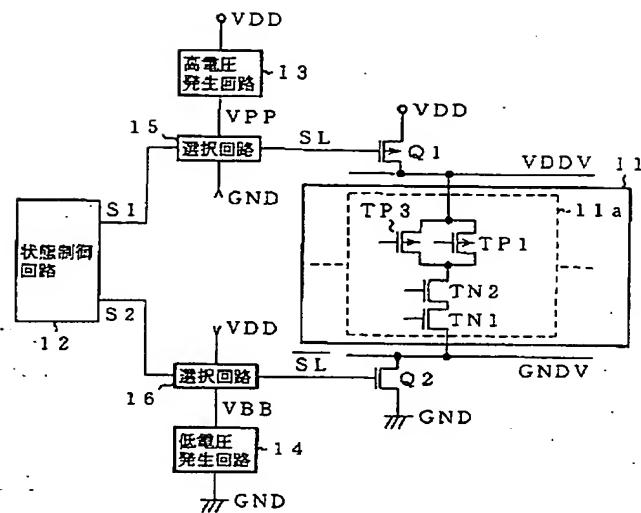
【図11】



N20 : nMOSトランジスタ (第2のリーカットスイッチ)  
P20 : pMOSトランジスタ (第1のリーカットスイッチ)

BEST AVAILABLE COPY

【図13】



【図14】

